

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058917
 (43)Date of publication of application : 25.02.2000

(51)Int.Cl.

H01L 33/00
 H01L 21/205
 H01S 5/30

(21)Application number : 10-224891
 (22)Date of filing : 07.08.1998

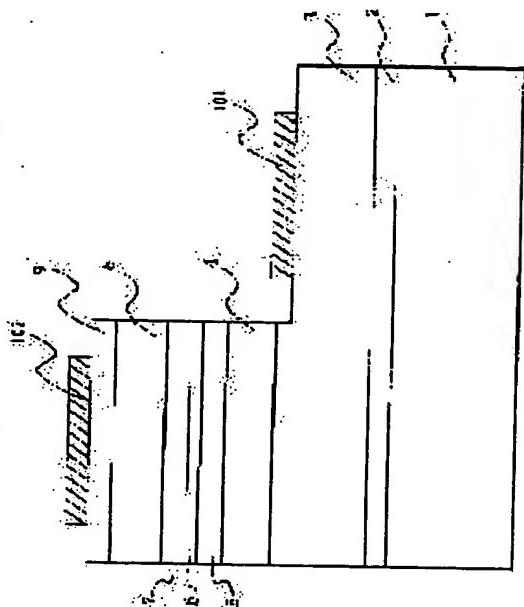
(71)Applicant : PIONEER ELECTRON CORP
 (72)Inventor : OTA HIROYUKI
 TANAKA TOSHIYUKI
 WATANABE ATSUSHI

(54) III-GROUP NITRIDE SEMICONDUCTOR LIGHT-EMITTING DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the generation of a crack on an interlayer interface in multilayer structure, and to achieve superior optical characteristics, by adding an element being different from a III-group nitride semiconductor to a part near an interface where the lattice constant of a lower layer is larger than that of the upper layer out of two adjacent layers in the multilayer structure with higher concentration as compared with other parts.

SOLUTION: In a semiconductor light-emitting device with multilayer structure, a III-group nitride semiconductor ($\text{Al}_x\text{Ga}_{1-x}\text{N}_{1-y}\text{In}_y$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) with a composition ratio being different each other is successively laminated on a substrate 1. An element being different from the III-group nitride semiconductor is added to a part near an interface where the lattice constant of a lower layer is larger than that of the upper layer out of two adjacent layers in the multilayer structure with higher concentration as compared with other parts, thus relieving the deformation due to the mismatching of a lattice by transformation being introduced by three-dimensional growth that arises at the beginning of the film formation of the upper layer, preventing a crack from occurring after the upper layer is shifted from the three-dimensional growth to a two-dimensional one, and hence obtaining the semiconductor element with superior optical characteristics.



LEGAL STATUS

[Date of request for examination] 31.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-58917

(P 2000-58917 A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl.
H01L 33/00
21/205
H01S 5/30

識別記号

F I
H01L 33/00
21/205
H01S 3/18

テマコード (参考)
C 5F041
5F045
5F073

審査請求 未請求 請求項の数 9 O L (全 5 頁)

(21) 出願番号 特願平10-224891

(22) 出願日 平成10年8月7日 (1998.8.7)

(71) 出願人 000005016
バイオニア株式会社
東京都目黒区目黒1丁目4番1号

(72) 発明者 太田 啓之
埼玉県鶴ヶ島市富士見6丁目1番1号バイ
オニア株式会社総合研究所内

(72) 発明者 田中 利之
埼玉県鶴ヶ島市富士見6丁目1番1号バイ
オニア株式会社総合研究所内

(74) 代理人 100079119
弁理士 藤村 元彦

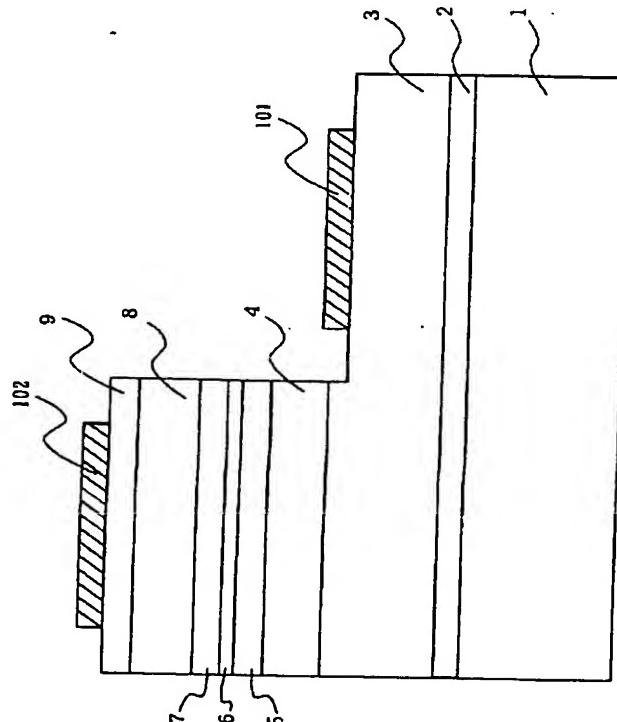
最終頁に続く

(54) 【発明の名称】 III族窒化物半導体発光素子及びその製造方法

(57) 【要約】

【課題】 組成比の異なるIII族窒化物半導体 ($Al_xGa_{1-x}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)) の多層構造からなる半導体発光素子における隣接層間界面を起点とするクラックの発生を抑制する。

【解決手段】 多層構造内の隣接する二層のうち上層の格子定数よりも下層の格子定数が大きい界面近傍にはIII族窒化物半導体とは異なる元素を他の部分よりも高い濃度で添加する。



【特許請求の範囲】

【請求項 1】 互いに異なる組成比のIII族窒化物半導体 ($\text{Al}_{x}\text{Ga}_{1-x}$)_{1-y} In_yN ($0 \leq x \leq 1$, $0 \leq y \leq 1$) を基板上に順次積層して得られる多層構造の半導体発光素子であって、

前記多層構造内の隣接する二層のうち上層の格子定数よりも下層の格子定数が大きい界面近傍には前記III族窒化物半導体とは異なる元素が他の部分よりも高い濃度で添加されていることを特徴とする半導体発光素子。

【請求項 2】 前記元素は、電気的に活性であることを特徴とする請求項 1 記載の半導体発光素子。

【請求項 3】 前記元素は、ドナー性若しくはアクセプタ性を有することを特徴とする請求項 1 又は 2 記載の半導体発光素子。

【請求項 4】 前記ドナー性の元素は、IV族又はVI族の元素であることを特徴とする請求項 3 記載の半導体発光素子。

【請求項 5】 前記アクセプタ性の元素は、II族又はIV族の元素であることを特徴とする請求項 3 記載の半導体発光素子。

【請求項 6】 有機金属化学気相成長法によって、互いに異なる組成比のIII族窒化物半導体 ($\text{Al}_{x}\text{Ga}_{1-x}$)_{1-y} In_yN ($0 \leq x \leq 1$, $0 \leq y \leq 1$) を基板上に順次積層して得られる多層構造の半導体発光素子の製造方法であって、第 1 の結晶層を成膜する第 1 の成膜工程と、前記第 1 の結晶層上に前記第 1 の結晶層よりも格子定数が小である第 2 の結晶層を成膜する第 2 の成膜工程と、を含み、さらに、前記第 2 の成膜工程の前に前記第 1 の結晶層表面に前記III族窒化物半導体とは異なる元素を吸着させる不純物吸着工程を有することを特徴とする半導体発光素子製造方法。

【請求項 7】 前記不純物吸着工程は、前記第 1 の結晶層表面を不純物原料ガスとV族元素を含むガス中に曝す工程であることを特徴とする請求項 6 記載の半導体発光素子製造方法。

【請求項 8】 前記不純物吸着工程は、前記第 1 の結晶層表面を大気中に暴露する工程であることを特徴とする請求項 6 記載の半導体発光素子製造方法。

【請求項 9】 有機金属化学気相成長法によって、互いに異なる組成比のIII族窒化物半導体 ($\text{Al}_{x}\text{Ga}_{1-x}$)_{1-y} In_yN ($0 \leq x \leq 1$, $0 \leq y \leq 1$) を基板上に順次積層して得られる多層構造の半導体発光素子の製造方法であって、第 1 の結晶層を成膜する第 1 の成膜工程と、前記第 1 の結晶層上に前記第 1 の結晶層よりも格子定数が小である第 2 の結晶層を成膜する第 2 の成膜工程と、を含み、

さらに、前記第 2 の成膜工程は初期段階において原料ガス中の不純物原料ガス濃度が前記第 1 の成膜工程よりも高くなるように前記不純物原料ガスを原料ガス中に添加し且つその後前記原料ガス中の前記不純物原料ガス濃度を減じるような不純物添加工程を含むことを特徴とする

半導体発光素子製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、III族窒化物半導体発光素子に関し、特に発光素子に用いる単結晶膜の製造方法に関する。

【0002】

【従来の技術】 半導体を用いた発光ダイオード (LED)、半導体レーザ (LD) 等の発光素子の作製において、禁制帯幅（以下、バンドギャップ若しくはEgと称する）を種々変化させた半導体層を積層してその基本構造が形成される。本発明におけるIII族窒化物半導体素子の場合、($\text{Al}_{x}\text{Ga}_{1-x}$)_{1-y} In_yN ($0 \leq x \leq 1$, $0 \leq y \leq 1$) のx, yの値を変化させることによってバンドギャップの値を変化させている。

【0003】 図 1 に示すように、III族窒化物半導体を用いた半導体レーザ素子の基本構造の例としては、単結晶サファイア基板 1 の上にGaN又はAlN層 2 を低温で成膜し、その上に順に、n型-GaN層 3、n型-Al_xGa_{1-x}N層 20 4、n型-GaN層 5、InGaNを主たる成分とする活性層 6、p型-GaN層 7、p型-Al_xGa_{1-x}N層 8、p型-GaN層 9、n型電極 101、p型電極 102を積層したものがある。本構成では、活性層 6において電子と正孔が再結合することによって発光する。n型-GaN層 5及びp型-GaN層 7はガイド層であり、活性層 6で発生した光をこのガイド層に導波するとともに活性層 6よりバンドギャップを大きく設定することによって電子及び正孔を活性層 6内部に効果的に閉じこめることができる。n型-Al_xGa_{1-x}N層 4及びp型-Al_xGa_{1-x}N層 8は、p型-GaN層 7より30 低い屈折率を有するクラッド層であり、ガイド層との屈折率差によって前述の導波がおこなわれる。n型-GaN層 3は電流流路として設けられている下地層であり、基板であるサファイアが導電性を有さないために設けられている。また、低温成長層 2はいわゆるバッファ層であり、GaNにとって異種物質であるサファイア基板上に平滑膜を作製するために形成されている。

【0004】 III族窒化物半導体 ($\text{Al}_{x}\text{Ga}_{1-x}$)_{1-y} In_yN ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の場合、GaNを基本の2元系とすると、Alを添加してGa原子の一部をAlに置き換えることによってバンドギャップを大きい方へ、GaNにInを添加してGa原子の一部をInで置き換えることによってバンドギャップを小さい方へシフトすることができる。また、バンドギャップの値が大きくなるとともに屈折率は低下する。

【0005】 ところで、赤外領域の半導体レーザで用いられるAl_xGa_{1-x}As/GaAs系の場合は、z値によらず格子定数はほとんど変化しない。しかしながら、III族窒化物半導体 ($\text{Al}_{x}\text{Ga}_{1-x}$)_{1-y} In_yN ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の場合、x, yの値を変化させると、格子定数が急激に変化してしまう。これは、Al_xGa_{1-x}As系の場合、GaAsの格子定

数とAlAsの格子定数がほぼ同一であるために格子不整合が生じないことによる。

【0006】III族窒化物半導体 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)) を用いて上述の如き素子を製造しようとした場合、n型-AlGaN層4の成膜時にクラック(微小な割れ)が発生する。AINの格子定数はGaNの格子定数よりもa軸方向で約2.4%小さく、GaN下地層3上にAlGaNクラッド層4を成膜しようとすると、AlGaNクラッド層4中には界面と平行方向に引っ張り応力が発生する。一般的に半導体結晶は圧縮応力には強いが引っ張り応力には弱く、AlGaNクラッド層4には極めて容易にクラックが発生してしまう。このAlGaNクラッド層4に発生したクラックは下地層3にも伝搬し、さらにAlGaNクラッド層4上に成膜されるガイド層5中にもクラックを伝播させてしまう。半導体レーザは積層構造間で光を導波させることによって動作せしめるものであるから、こうしたクラックは素子の特性上致命的となりうる。

【0007】

【発明が解決しようとする課題】よって、本発明は、II族窒化物半導体を積層して形成される多層構造を含む半導体素子であって、該多層構造内の層間界面でのクラックの発生が抑制され、良好な光学特性を有する半導体素子及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】よって本発明による半導体発光素子は、互いに異なる組成比のIII族窒化物半導体 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)) を基板上に順次積層して得られる多層構造の半導体発光素子であって、前記多層構造内の隣接する二層のうち上層の格子定数よりも下層の格子定数が大きい界面近傍には前記II族窒化物半導体とは異なる元素が他の部分より高い濃度で添加、すなわち分布濃度が高くなされていることを特徴とする。

【0009】さらに、本発明による半導体発光素子製造方法は、有機金属化学気相成長法によって、互いに異なる組成比のIII族窒化物半導体 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)) を基板上に順次積層して得られる多層構造の半導体発光素子の製造方法であって、第1の結晶層を成膜する第1の成膜工程と、前記第1の結晶層上に第1の結晶層よりも格子定数が小である第2の結晶層を成膜する第2の成膜工程と、からなり、さらに、前記第2の成膜工程の前に前記第1の結晶層表面に前記III族窒化物半導体とは異なる元素を吸着させる不純物吸着工程を有することを特徴とする。

【0010】さらに、本発明による半導体発光素子製造方法は、有機金属化学気相成長法によって、互いに異なる組成比のIII族窒化物半導体 ($\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)) を基板上に順次積層して得られる多層構造の半導体発光素子の製造方法であって、第1の結晶層を成膜する第1の成膜工程と、前記第1の結晶層上

に前記第1の結晶層よりも格子定数が小である第2の結晶層を成膜する第2の成膜工程と、からなり、さらに、前記第2の成膜工程の直前に原料ガス中の不純物原料ガス濃度を前記第1及び第2の成膜工程における不純物原料ガス濃度よりも高くした不純物添加工程を有することを特徴とする。

【0011】

【作用】III族窒化物半導体素子の多層構造において上層の格子定数よりも下層の格子定数が大きいような格子不整合を有する二つの層の界面近傍にIII族窒化物半導体とは異なる元素を介在させることによって、上層の成膜初期に3次元成長を生起せしめ、この3次元成長によって導入される転位が格子不整合による歪みを緩和し、上層が3次元成長から2次元成長に移行した後もクラックが発生しないのである。故に、良好な光学特性を有する半導体素子を得ることが出来るのである。

【0012】なお、本発明はサファイア基板上の成膜のみに限定されるものではなく、 MgAl_2O_4 (スピネル)、 $\text{LG}_{1-x}\text{Al}_x\text{O}$ (リチウムガレート)等の絶縁性基板上だけでなく、 GaN

Nバールク結晶基板上への成膜にも適用できる。また、n型GaN及びn型AlGaN以外であっても、膜の伝導型がp型若しくは絶縁性であっても有効である。相隣り合う膜の伝導型が同一であって且つ界面を横切って電流を流す必要がある場合のみ、界面へ導入される元素を前記伝導型とそろえる必要がある。すなわち、n型同士のn-AlGaNとn-GaNの如き接合界面であれば、IV族のSiやGe、若しくはVI族のOやSのようなドナー型元素が選択できる。p型同士のp-AlGaNとp-GaNの如き接合界面であればII族のBe、Mg、若しくはIV族のCの様なアクセプタ型元素であってもよい。

【0013】

【発明の効果】本発明によれば、新たな格子不整合を導入することなしにクラックの発生を防止できるため、良好な光学特性を得ることができる。また、下地層には高い成長速度が得られるGaNを適用できるため製造上有利である。また、低温成長層の如き高い抵抗層がなく電気特性の劣化がない。

【0014】

【実施の態様】(実施例1) サファイア基板Iを成膜用OCVD成長炉に装填し、1050℃の温度において300Torrの圧力の水素気流中で10分間保持してサファイア基板I表面を熱クリーニングした。この後、サファイア基板Iを600℃まで降温し、窒素原料である NH_3 を2 SLM (Standard Liter per Minute: 標準状態換算流量)と、Al原料であるTMA(トリメチルアルミニウム) $25 \mu\text{mol}/\text{分}$ を成長炉内に導入してAINからなるバッファ層2を20 nmの厚さに堆積させた。続いてTMAの供給を止め、 NH_3 のみを流したまま、バッファ層2が成膜されたサファイア基板Iの温度を再び1050℃に昇温し、TMG(トリメチルガリウム) $120 \mu\text{mol}/\text{分}$ を導入してn型GaN下地層3を積層した。こ

の時n型添加物としてMe-SiH₄（メチルシラン）9 nmol／分を成長雰囲気ガスに添加する。n型GaN下地層3が3μm程度成長したところで、TMGの供給のみを停止する。一方、n型添加物ガスであるMe-SiH₄はその供給量を75nmol／分に増加してそのまま供給し続けた。5分間この状態を保持した後、Me-SiH₄供給量を3 nmol／分に減らすと共に、TMG 36 μmol／分を再度導入し、同時にTMA 4 μmol／分を導入してn型AlGaN層4の成膜を行う。n型AlGaN層4が0.5 μm程度成長したところでTMG、TMA、Me-SiH₄の供給を停止し、降温を開始し、基板の温度が400℃以下になったところでNH₃の供給も停止し、基板温度が室温になった所で反応炉より取り出した。

【0015】得られた膜を光学顕微鏡で観察した所、クラックは全く観測されなかった。一方、n型添加物ガスを導入し続ける上記5分間の処理を行わない試料は、膜一面にクラックが観測された。また、これらの試料をX線回折装置で評価したところ、n-Al_xGa_{1-x}NのAl混晶比（xの値）は0.1であった。クラックの観測されなかった試料のn-Al_xGa_{1-x}Nの一部をRIE（反応性イオンエッティング）によって除去し、露出したn-GaN層3の表面とn-AlGaN層4の表面に各々Ti/Al電極を蒸着して導通を確認したところ、低抵抗なオーミック特性を示し、界面に高抵抗層等の存在しないことが確認された。これは、GaN層表面に吸着させた添加物であるSiがGaN中でドナーとして働くからである。

【0016】（実施例2）サファイア基板1を成膜用MOCVD成長炉に装填し、1050℃の温度において300Torrの圧力の水素気流中で10分間保持し、サファイア基板1の表面を熱クリーニングした。この後、サファイア基板1を600℃になるまで降温し、窒素原料であるNH₃を2SLMとAl原料であるTMA25 μmol／分を成長炉内に導入し、AlNからなるバッファ層2を20nmの厚さに堆積させた。続いてTMAの供給を止め、NH₃のみを流したまま、バッファ層2が成膜されたサファイア基板1を再び1050℃に昇温し、TMG 120 μmol／分を導入してn型GaN下地層3を積層した。この時、n型添加物としてMe-SiH₄ 9 nmol／分を成長雰囲気ガスに添加した。n型GaN下地層3が3 μm程度成長したところで、TMGとMe-SiH₄の供給のみを停止し、降温を開始し、基板が400℃以下になったところでNH₃の供給も停止し、基板温度が室温になった所で反応炉より取り出した。

【0017】取り出したn-GaN層3に欠陥が無いことを確認し、これを再度成膜用MOCVD成長炉に装填し、NH₃を2SLM流しながら1050℃まで昇温し、TMG 36 μmol／分、TMA 4 μmol／分及びMe-SiH₄ 3nmol／分を導入して成膜を行う。n型AlGaN層4が0.5 μm程度成長したところでTMG、TMA、Me-SiH₄の供給を停止し、降温を開始し、基板の温度が400℃以下になったところでNH₃の供給も停止し、基板温度が室温になった所で反応炉より取り出す。

【0018】得られた膜を光学顕微鏡で観察した所、ク

ラックは全く観測されなかった。比較のために、大気暴露したn-GaNを再度成膜用MOCVD成長炉に装填し、NH₃を2SLM流しながら1050℃まで昇温し20分間保持した後にTMG、TMA、Me-SiH₄を導入してn型AlGaNの成膜を行なった場合はクラックが観測された。また、これらの試料をX線回折装置で評価した所、n-Al_xGa_{1-x}NのAl混晶比（xの値）は0.1であった。上記のクラックの観測されなかった試料のn-AlGaNを、実施例1と同様に、RIE（反応性イオンエッティング）によってその一部を除去し、露出したn-GaN表面とn-AlGaN表面に各々Ti/Al電極を蒸着し、導通を確認したところ低抵抗なオーミック特性を示し、実施例2の場合も界面に高抵抗層等の存在しないことが確認された。これは、吸着した吸着物がGaN中で浅いドナーとして働く酸素であるためである。

【0019】実施例2の場合、大気中の酸素がn-GaN表面に吸着され、これによって実施例1とほぼ同様の効果を生んだものである。NH₃を含む気流中で1050℃で20分間保持するとこの吸着層は除去されてしまうためクラックが生じる。また、AlGaN層成膜開始時における表面の吸着層の被覆の度合いを決定する要因は大気暴露条件とAlGaN成膜直前のNH₃中のベーキング条件である。大気中の酸素が安定な分子状であること、室温という比較的低温状態であることにより、吸着状態が比較的短時間で飽和してしまうため大気中での酸素吸着（酸化膜の形成と実質的に等価）は比較的安定している。逆に、大気暴露時に加熱を行なったり、化学反応により表面酸化を促進すれば、実施例2の効果を強めることが出来る。本実施例で使用した反応装置・ガス・温度条件の場合、有効なクラック防止効果を得るには、NH₃中のベーキング時間は10分以下とする必要があった。

【0020】（実施例3）サファイア基板1を成膜用MOCVD成長炉に装填し、1050℃の温度において300 Torrの圧力の水素気流中で10分間保持し、サファイア基板1の表面を熱クリーニングする。この後、サファイア基板1を600℃になるまで降温し、窒素原料であるNH₃を2 SL Mと、Al原料であるTMA 25 μmol／分を成長炉内に導入し、AlNからなるバッファ層2を20nmの厚さに堆積させる。続いてTMAの供給を止め、NH₃のみを流したままバッファ層2が成膜されたサファイア基板1の温度を再び1050℃に昇温し、TMG 120 μmol／分を導入してn型GaN下地層3を積層する。この時n型添加物としてMe-SiH₄ 9 nmol／分を成長雰囲気ガスに添加する。n型GaN下地層3が3 μm程度成長したところで、Me-SiH₄供給量を13 nmol／分に増加するとともに、TMG流量を36 μmol／分に変更し、同時にTMA4 μmol／分を導入して第1のn型AlGaN層4の成膜を行う。第1のn型AlGaN層4が0.1 μm程度成長したところでMe-SiH₄流量を3nmol／分に減らし第2のn型AlGaN層4の成膜を行う。第1及び第2のn型AlGaN層の合計の膜厚が0.5 μm程度に達したところでTMG、TMA、Me-SiH₄の供給を停止し、降温を開始し、基板の温度が400℃以下

になったところでNH₃の供給も停止し、基板温度が室温になった所で反応炉より取り出す。

【0021】こうして得られた膜を光学顕微鏡で観察した所、クラックは2インチ基板の周辺部の一部を除いてほとんど観測されなかった。また、これらの試料をX線回折装置で評価した所、n-Al_xGa_{1-x}NのAl混晶比(xの値)は0.1であった。クラックの観測されなかった部分のn-AlGaN層4をRIEによってその一部を除去し、露出したn-GaN層3の表面と第2のn-AlGaN層4の表面に各々Ti/AI電極を蒸着し、導通を確認したところ低抵抗なオーム特性を示し、界面に高抵抗層等の存在しないことが確認された。

【0022】一般に半導体結晶に多量のドーピングを行うと表面性が悪化してくるため、これがドーピング量の上限を決める。表面性が悪化すると2次元的な平坦成長が阻害される。本実施例3の場合、極端に高濃度のSiをドーピングするとAlGaNの成長の初期過程は3次元化してしまう。また、クラック発生を効果的に防止するには

2E19/ccのSi濃度を必要とする。この高濃度ドーピング層の膜厚(平均設定膜厚)が100オングストロームより薄いと十分な効果が無く、最終的なAlGaNクラッド層厚さが0.5μmの場合においてこのドーピング層が0.1μmよりも厚いと平坦性が回復する前にAlGaNクラッド層の成膜が完了してしまうために好ましくない。

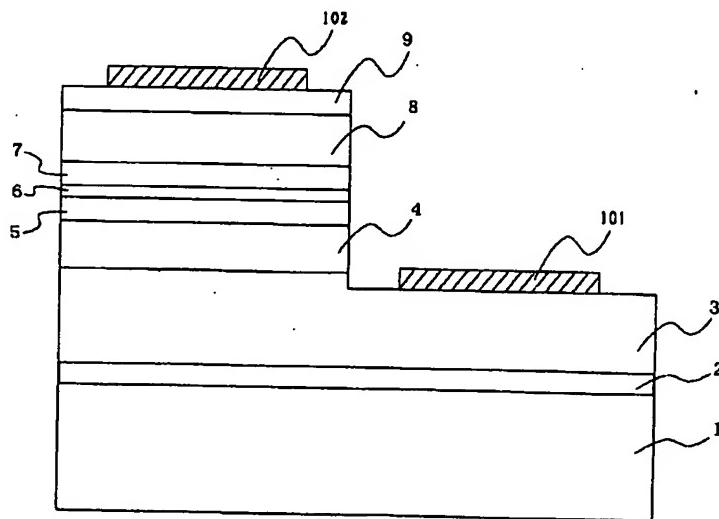
【図面の簡単な説明】

【図1】III族窒化物半導体発光素子の構造例を示す断面図である。

10 【主要部分の符号の説明】

- 1 サファイア基板
- 2 パッファ層
- 3 下地層
- 4、8 クラッド
- 5、7 ガイド層
- 6 活性層
- 101、102 電極

【図1】



フロントページの続き

(72)発明者 渡辺 温

埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

Fターム(参考) 5F041 AA40 CA34 CA40 CA58 CA65
5F045 AA04 AB09 AB14 AB17 AB18
AC08 AC12 AC19 AD10 AD14
AF04 AF05 AF09 BB12 BB13
CA10 DA53 EB15 EE15
5F073 CA02 CA17 CB06 CB19 DA05
DA35